



概述

FM6182 是一款专为 LED 模块和显示器设计的驱动 IC，具有 16 路恒定的电流输出能力。FM6182 内建双锁存显示技术的 16 通道高精度恒流 LED 驱动芯片，可以有效提高传统通用驱动显示屏的刷新率及 LED 利用率，低灰效果可透过低灰补偿与第一扫偏暗补偿功能达到完善，内建鬼影消除功能搭配系统消影电路，可有效减轻鬼影现象。

FM6182 可在 3.3 到 5.0 伏特($\pm 10\%$)的工作电压下正常操作。芯片由一个外接电阻来设定电流的输出大小及透过电流增益调整功能对恒流输出作线性 64 阶调整。FM6182 具有极佳的抗干扰特性，恒流及低灰效果不受 PCB 板的影响，可精确控制 LED 发光亮度。

特点

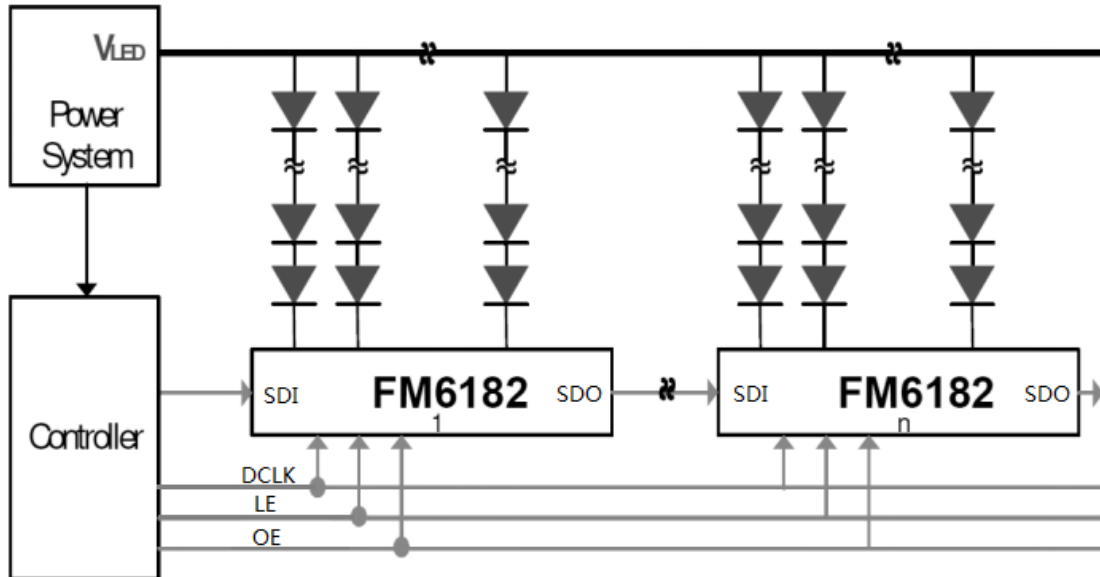
- 3.3~5.0V 电源电压 ($\pm 10\%$)
- 0.5~25mA 恒流输出 (在 5V 操作电压)
- 0.5~20mA 恒流输出 (在 3.3V 操作电压)
- $\pm 2\%$ (最大值) 通道间直流电流差异值
- $\pm 3.5\%$ (最大值) 芯片间直流电流差异值
- 比通用基本款芯片有更高的刷新率、LED 利用率、灰阶表现、亮度均一性
- 比传统 PWM 芯片有更高的刷新率与亮度均一性 (扫描屏应用下)
- 利用一个外接电阻来设定电流
- 64 阶线性可编程的电流增益功能
- 快速电流响应
- 低灰补偿与第一扫偏暗补偿功能
- 具有双锁存功能，提升刷新率及电流利用率
- 列消影功能
- 恒流拐点电压低：
 - $I_{OUT}=20mA@V_{DS}=0.24V$ 、 $V_{DD}=5.0V$;
 - $I_{OUT}=20mA@V_{DS}=0.24V$ 、 $V_{DD}=3.3V$;
- 恒流输出管脚静电防护能力大于 4K (HBM)
- $-40^{\circ}C$ 到 $+85^{\circ}C$ 的环境温度操作范围

应用

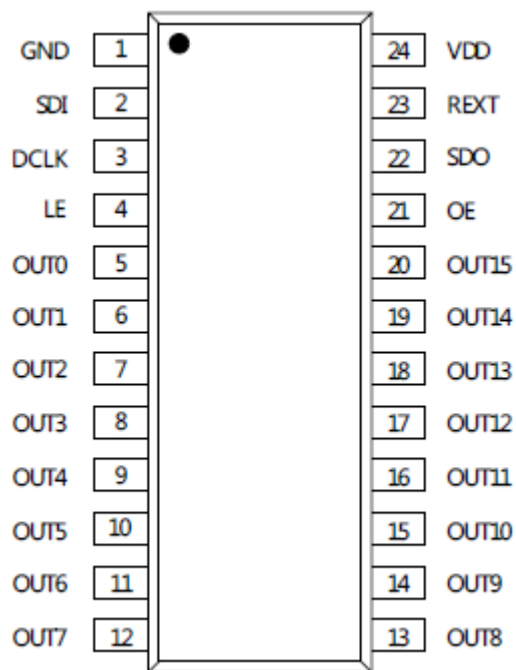
- 室内及户外 LED 显示屏



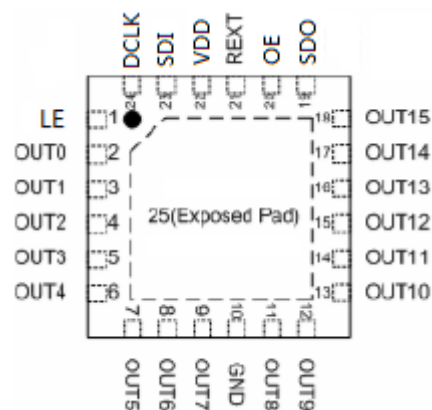
典型应用图



管脚图



SSOP-24



QFN-24



引脚说明

管脚号			管脚名称	描述
SS	QF	QA		
1	10,25	22,25	GND	控制逻辑及驱动电流的接地端
2	23	23	SDI	输入至位移寄存器的串行数据输入端
3	24	24	DCLK	资料时钟信号的输入端
4	2	1	LE	资料锁存输入端
5-20	2-9,11-18	2-17	OUT0-15	恒电流输出端
21	20	18	OE	灰阶调变信号输入端
22	19	19	SDO	串行数据输出端, 可接至下一个驱动器
23	21	20	REXT	连接外接电阻的输入端, 此外接电阻可设定所有输出通道的输出电流。
24	22	21	VDD	电源供应端

极限参数 (Ta=25°C, Tj(max) = 150°C)

特性	符号	最大限定范围	单位
电源电压	VDD	-0.3 ~ 7.0	V
输入端电压	VIN	-0.3 ~ VDD+0.3	V
输出端电流	Lout	25	mA
输出端耐受电压	Vout	-0.3 ~ 11	V
资料时钟频率	DCLK	30	MHZ
接地端电流	IGND	400	mA
热阻值 (On PCB)	Rth(j-a)	70.5 (SS:SSOP-150mil-0.635mm)	°C/W
		36.9 (QF/QA:QFN24-4mmx4mm)	
IC 工作时的电压		3.3 ~ 5.0 (±10%)	V
IC 工作时的环境温度	Top	-40 ~ 85	°C
IC 储存时的环境温度	Tstg	-55 ~ 150	°C



直流特性(VDD = 5.0 V, Ta = 25°C unLATss otherwise noted)

特性	符号	测量条件	最小值	标准值	最大值	单位
输入端电压 高电平位准	VIH	CMOS 逻辑准位	0.7VDD	—	VDD	V
输入端电压 低电平位准	VIL	CMOS 逻辑准位	GND	—	0.3VDD	
输出端漏电流	ILK	VOUT = 17 V	—	—	0.1	uA
输出电压 (SDO)	VOL	IOL = 1 mA	—	—	0.4	V
	VOH	IOH = 1 mA	VDD-0.4	—	—	
电流偏移量 (通道间)*1	dIOUT1	VOUT = 1.0 V Rrest = 1.3KΩ	—	±1.0	±2	%
电流偏移量 (芯片间)*2	dIOUT2	Gain = 100%	—	±1.0	±3.5	%
电流偏移量 (通道间)*1	dIOUT3	VOUT = 1.0 V Rrest = 13KΩ	—	±1.5	±2	%
电流偏移量 (芯片间)*2	dIOUT4	Gain = 100%	—	±1.5	±3.5	%
电流偏移量 vs. 输出电压*3	%/VOUT	Rrest = 1.3KΩ VOUT = 1 V ~ 3 V	—	±0.1	—	%/V
电流偏移量 vs. 电源电压*4	%/VDD	Rrest = 1.3KΩ VDD = 3 V ~ 5.5 V	—	±0.6	±1	
电压源输出电流*5	IDD2_OFF	输入信号固定 Rrest = 13KΩ 所有输出关闭	—	5.7	—	mA
	IDD3_ON	输入信号固定 Rrest = 13KΩ 所有输出打开	—	5.3	—	
	IDD4_OFF	输入信号固定 Rrest = 13KΩ 所有输出关闭	—	7.6	—	
	IDD5_ON	输入信号固定 Rrest = 13KΩ 所有输出打开	—	7.2	—	



直流特性(VDD = 3.3V, Ta = 25°C unLATss otherwise noted)

特性	符号	测量条件	最小值	标准值	最大值	单位
输入端电压 高电平位准	VIH	CMOS 逻辑准位	0.7VDD	—	VDD	V
输入端电压 低电平位准	VIL	CMOS 逻辑准位	GND	—	0.3VDD	
输出端漏电流	ILK	VOUT = 17 V	—	—	0.1	uA
输出电压 (SDO)	VOL	IOL = 1 mA	—	—	0.4	V
	VOH	IOH = 1 mA	VDD-0.4	—	—	
电流偏移量 (通道间)*1	dIOUT1	VOUT = 1.0 V Rrest = 1.3KΩ	—	±1.0	±2	%
电流偏移量 (芯片间)*2	dIOUT2	Gain = 100%	—	±1.0	±3.5	%
电流偏移量 (通道间)*1	dIOUT3	VOUT = 1.0 V Rrest = 13KΩ	—	±1.5	±2	%
电流偏移量 (芯片间)*2	dIOUT4	Gain = 100%	—	±1.5	±3.5	%
电流偏移量 vs. 输出电压*3	%/VOUT	Rrest = 1.3KΩ VOUT = 1 V ~ 3 V	—	±0.1	—	%/V
电流偏移量 vs. 电源电压*4	%/VDD	Rrest = 1.3KΩ VDD = 3 V ~ 5.5 V	—	±0.6	±1	
电压源输出电流*5	IDD2_OFF	输入信号固定 Rrest = 13KΩ 所有输出关闭	—	4.6	—	mA
	IDD3_ON	输入信号固定 Rrest = 13KΩ 所有输出打开	—	4.5	—	
	IDD4_OFF	输入信号固定 Rrest = 13KΩ 所有输出关闭	—	6.5	—	
	IDD5_ON	输入信号固定 Rrest = 13KΩ 所有输出打开	—	6.4	—	



动态特性(VDD = 5.0V, Ta = 25°C unLATss otherwise noted)

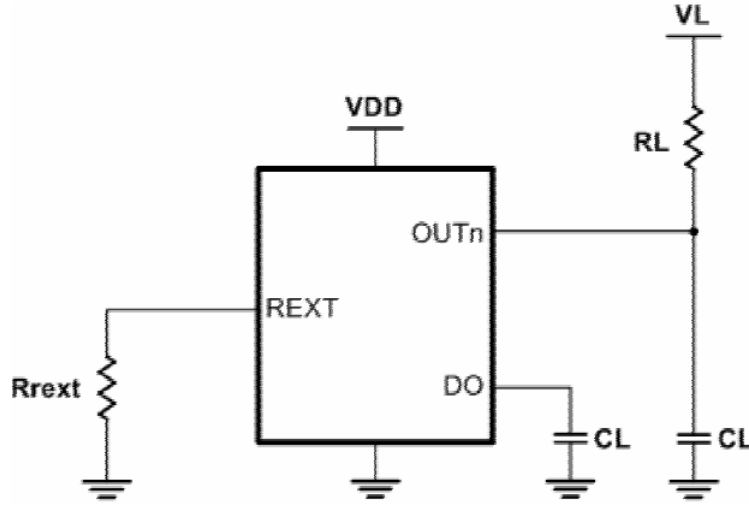
特性		符号	测试条件	最小值	标准值	最大值	单位
延迟时间 (‘低’to‘高’)	OE-to-OUT0	tpLH1	VIH = VDD VIL=GND Rrxt=1.3KΩ VL = 5.0 V RL = 240 Ω CL = 13 pF	—	35	—	ns
	DCLK-SDO	tpLH3		—	18	—	
延迟时间 (‘高’to‘低’)	PDM-to-OUT0	tpHL1		—	35	—	
	DCLK-SDO	tpHL3		—	18	—	
脉波宽度	OE	tw(OE)		30	—	—	
	LE	tw(LE)		20	—	—	
	DCLK	tw(DCLK)		15	—	—	
建立时间	LE	tsu(LE)		8	—	—	
	SDI	tsu(D)		3	—	—	
保持时间	LE	th(LE)		50	—	—	
	SDI	th(D)		4	—	—	
SDO 的爬升时间		tr(SDO)		—	15	—	
SDO 的下降时间		tf(SDO)		—	15	—	
输出通道电压爬升时间(电流关闭)		tor		—	15	—	
输出通道电压下降时间(电流开启)		tof	—	15	—		

动态特性(VDD = 3.3V, Ta = 25°C unLATss otherwise noted)

特性		符号	测试条件	最小值	标准值	最大值	单位
延迟时间 (‘低’to‘高’)	OE-to-OUT0	tpLH1	VIH = VDD VIL=GND Rrxt=1.3KΩ VL = 5.0 V RL = 240 Ω CL = 13 pF	—	50	—	ns
	DCLK-DO	tpLH3		—	30	—	
延迟时间 (‘高’to‘低’)	PDM-to-OUT0	tpHL1		—	50	—	
	DCLK-SDO	tpHL3		—	30	—	
脉波宽度	OE	tw(OE)		40	—	—	
	LE	tw(LE)		20	—	—	
	DCLK	tw(DCLK)		15	—	—	
建立时间	LE	tsu(LE)		8	—	—	
	SDI	tsu(D)		3	—	—	
保持时间	LE	th(LE)		50	—	—	
	SDI	th(D)		4	—	—	
SDO 的爬升时间		tr(SDO)		—	19	—	
SDO 的下降时间		tf(SDO)		—	19	—	
输出通道电压爬升时间(电流关闭)		tor		—	15	—	
输出通道电压下降时间(电流开启)		tof	—	15	—		

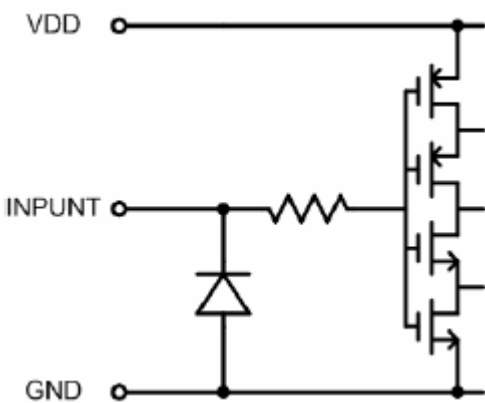


动态特性测试电路

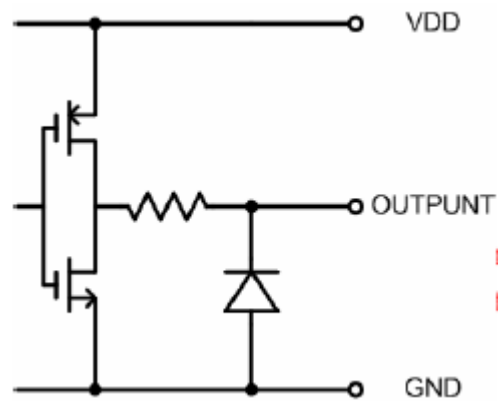


输入及输出等效电路

1.DCLK, SDI, LE, OE 输入端



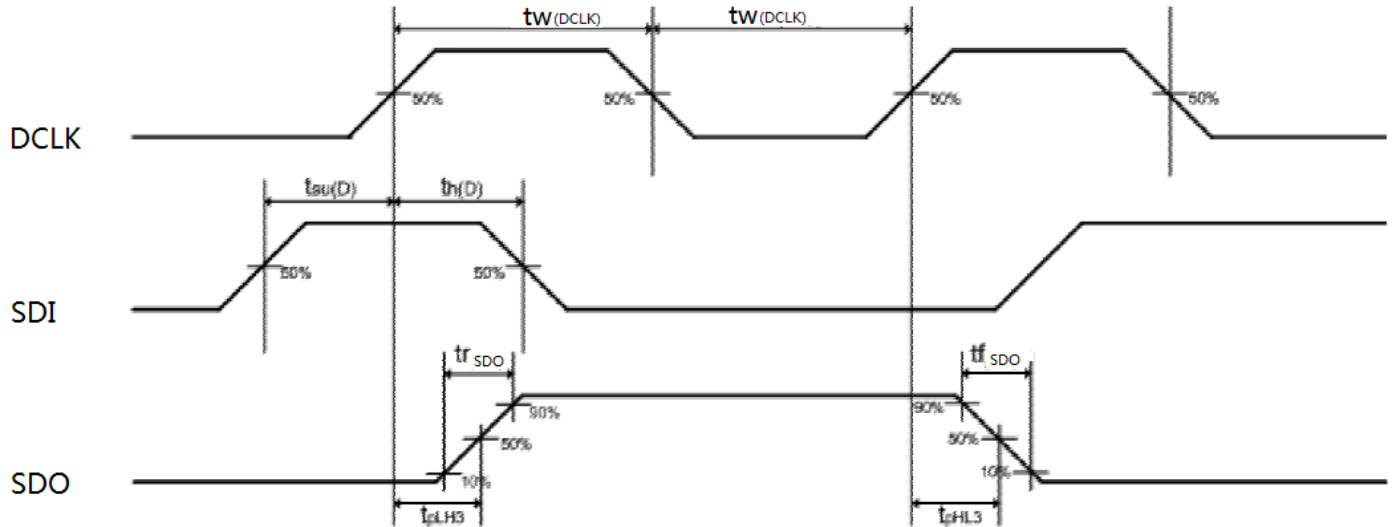
2. SDO 输出端



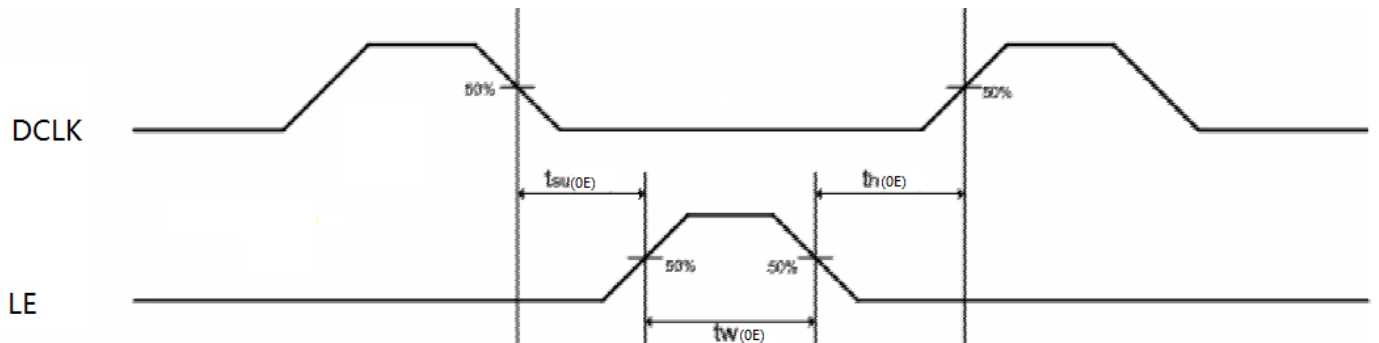


时序图

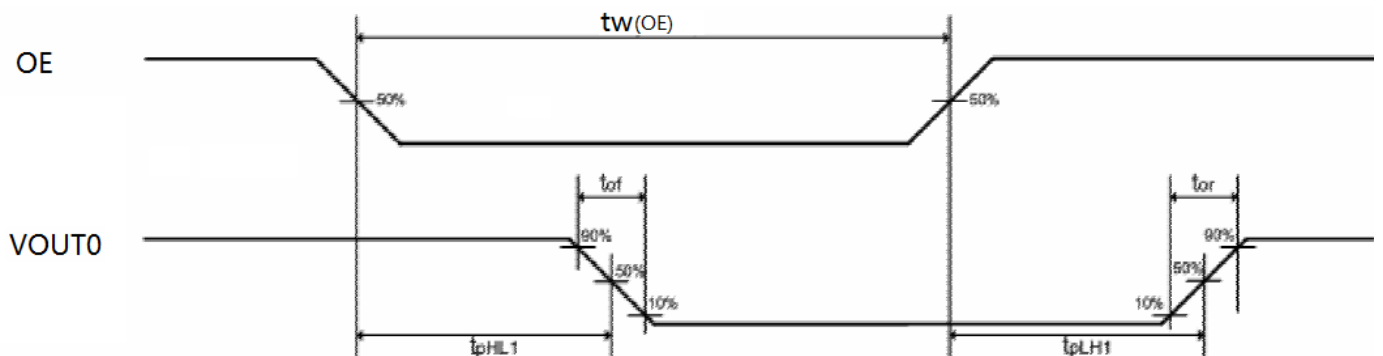
1. DCLK-SDI, SDO



2. DCLK-LE

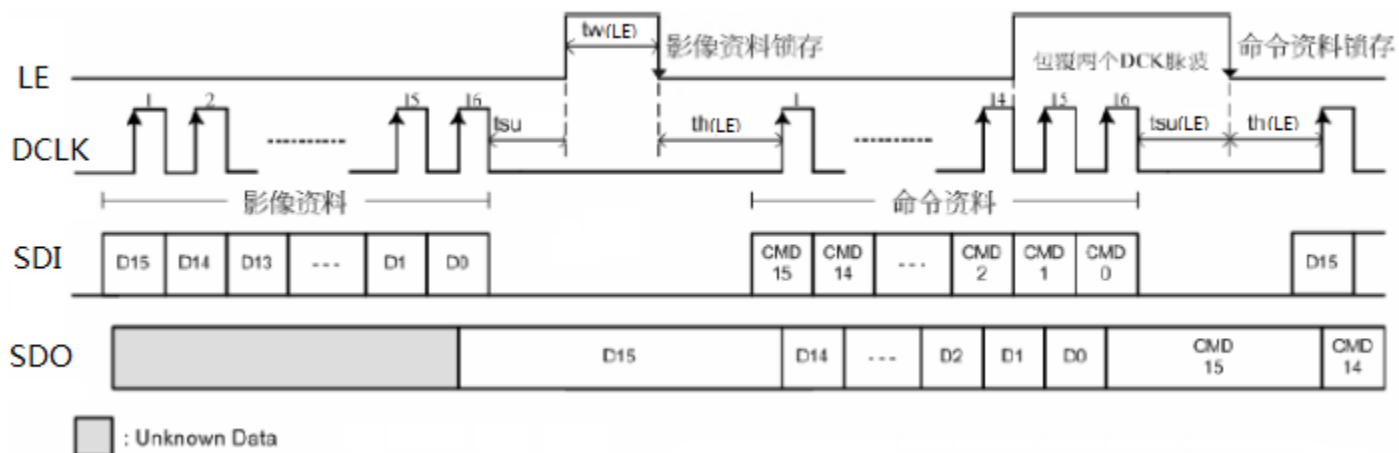


3. OE-VOUT0

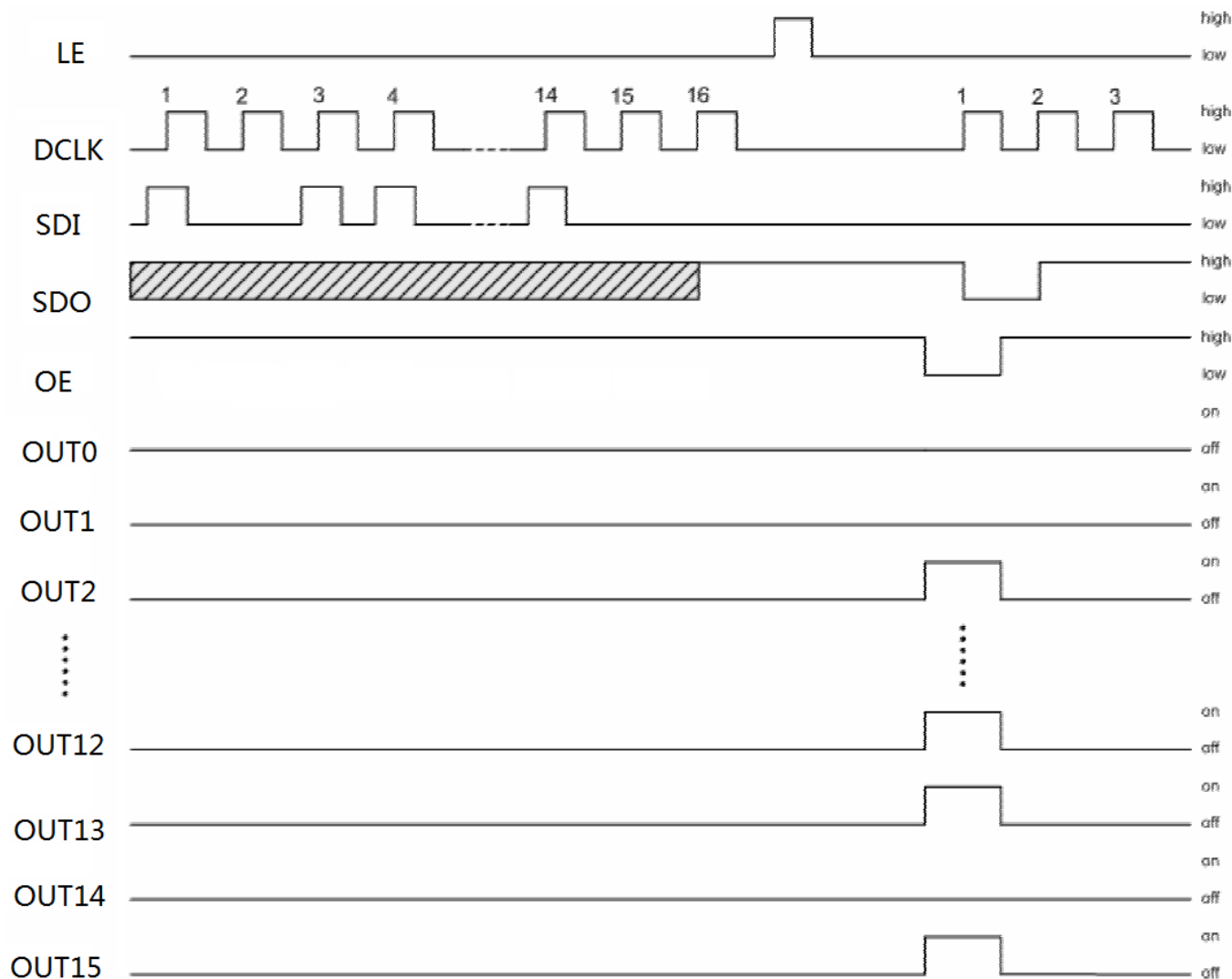




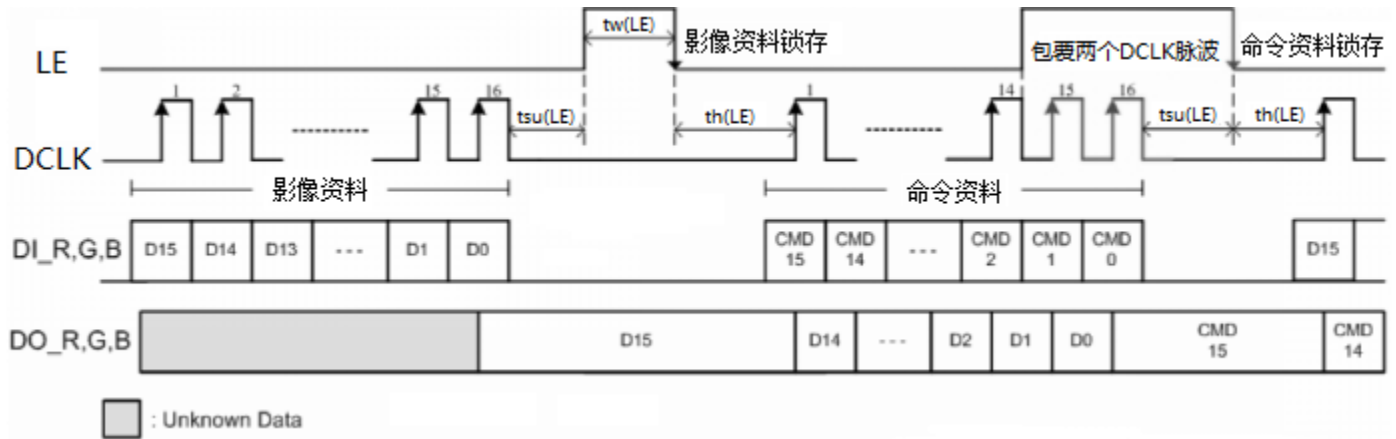
影像资料锁存



要实施影像资料锁存时，设定 LE 为高电平并且不覆盖任何 DCLK 脉波，影像移位寄存器中的资料将在 LE 的下降沿被锁存，影像资料锁存后需等待 OE 的下降沿，影像资料才会更新至输出端，另外串行资料将在 DCLK 的上升缘时于 SDO 脚位同步输出。

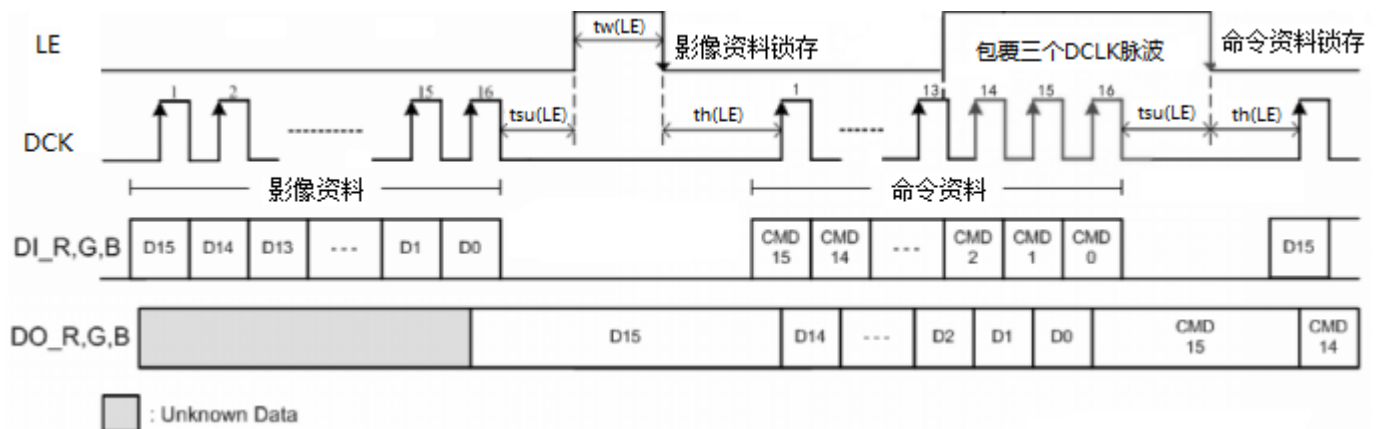


命令 1 资料锁存



要实施命令 1 资料锁存时, 设定 LE 为高电平并包覆两个 DCLK 脉波(两个 DCLK 脉波是用来传送命令 1 资料的最后两个), 命令移位寄存器中的命令资料将在 LE 的下降缘时被锁存, 此时影像移位寄存器中的影像资料不会被锁存, 另外串列资料将在 DCLK 的上升缘时于 SDO 脚位同步输出。

命令 2 资料锁存



要实施命令 1 资料锁存时, 设定 LE 为高电平并包覆两个 DCLK 脉波(两个 DCLK 脉波是用来传送命令 1 资料的最后两个), 命令移位寄存器中的命令资料将在 LE 的下降缘时被锁存, 此时影像移位寄存器中的影像资料不会被锁存, 另外串列资料将在 DCLK 的上升缘时于 SDO 脚位同步输出。

鬼影消除技术

FM6182 内置下鬼影消影功能, 搭配系统硬体电路则可以有效消除上行与下行鬼影, 芯片消影时间(Tghost)之定义如下图所示, 仅在 OE 为高位准时由栓锁讯号(LE)下降沿到致能讯号(ENB)下降沿间拉高输出管脚的电压以进行消影, 此设计可避免 LED 长时间逆偏压而损坏。

双锁存显示技术

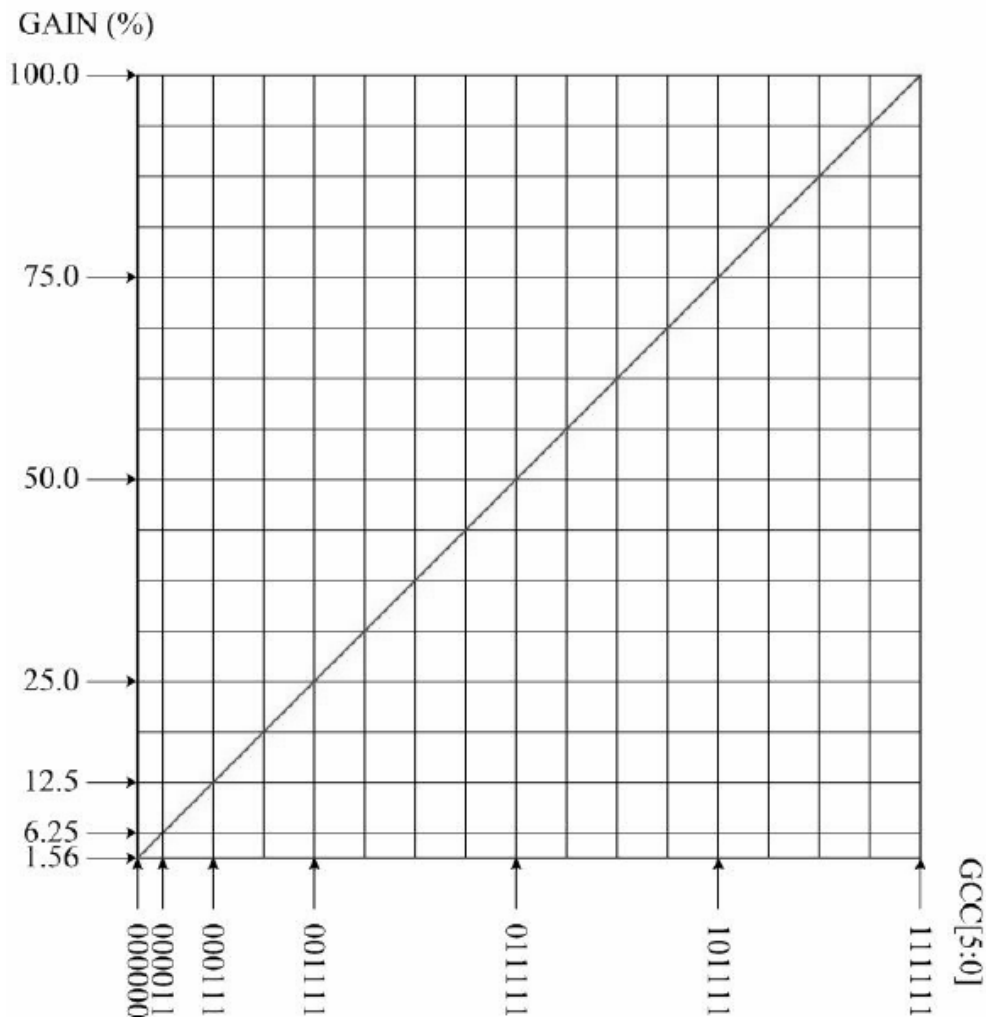
双锁存显示技术, 使 OE 信号可跨过 LE 锁存信号, 可有效提高 LED 利用率, 优化显示屏在低灰阶下的显示效果及均一性; 并且显示屏在相同亮度设计下, 可以降低驱动芯片的峰值电流, 有效提升显示屏的 EMC 等级。



整体电流增益调整（设定 CMD[5:0]）

FM6182 提供 6 位线性整体电流增益调整(GCC), 利用 GCC[5:0](CMD[5:0])可设定 64 阶电流增益, 下面的公式可用来计算电流增益值(GAIN):

$$GAIN = (GCC[5:0]+1) / 64 \quad (1.56\% \sim 100\%)$$





调整输出电流:

恒流的大小是被跨接于 REXT 和地的外接电阻所决定。电流值的大小可以用以下的公式做计算:

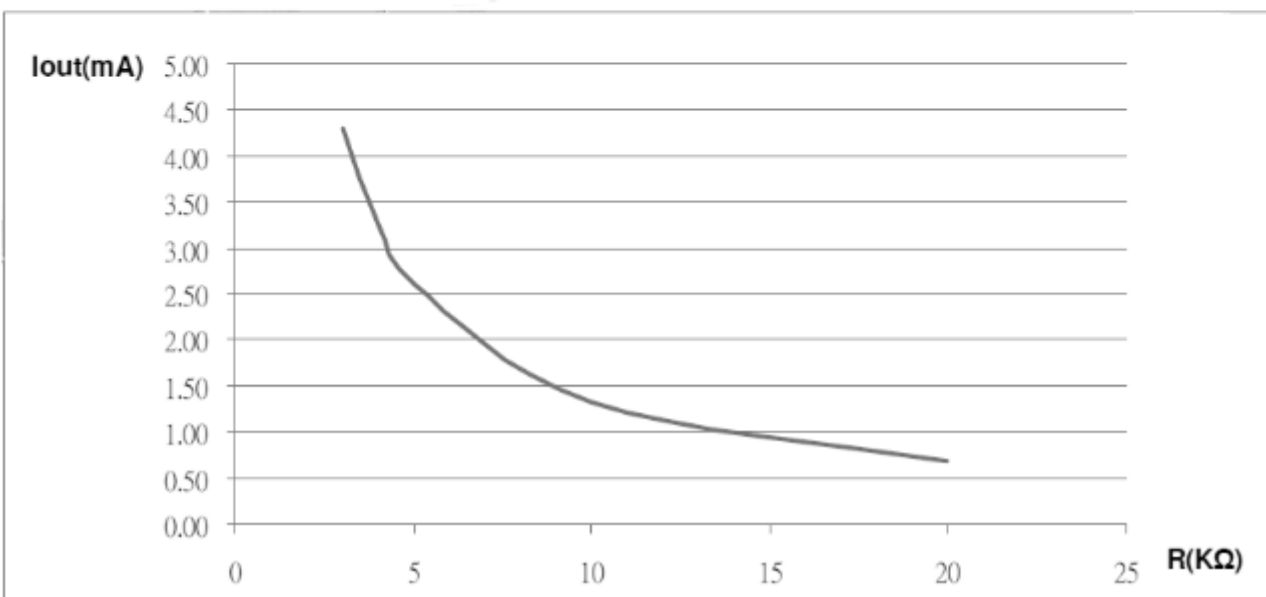
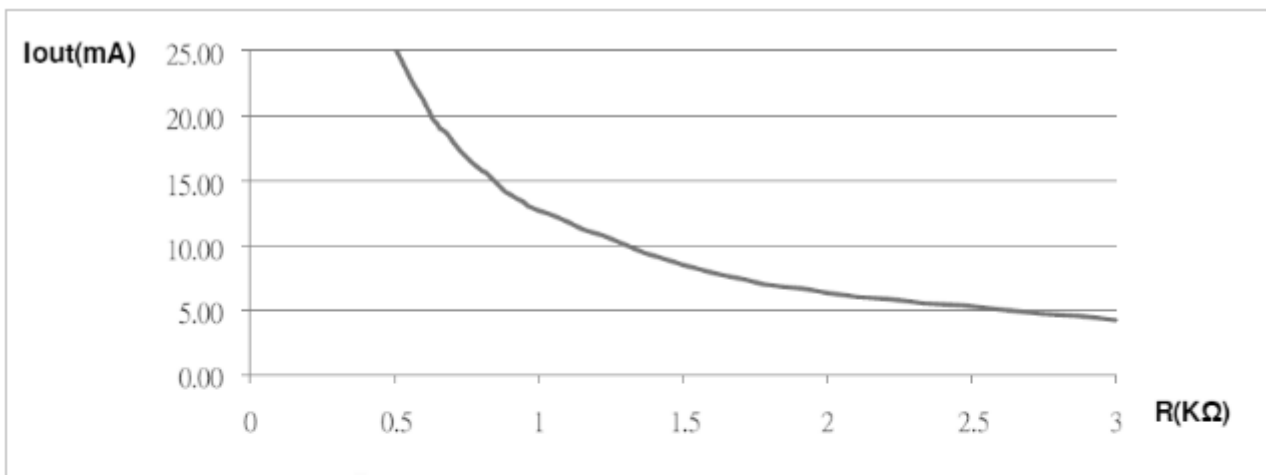
$$I_{out}(mA) = \frac{13}{R_{rxt}} \times Gain$$

Rrxt 是一跨接于 REXT 和 GND 之间的电阻, Gain 是整体电流增益调整参数(见第 13 页说明)。Iout 小于 1mA 的应用, 建议使用 Rrxt=13K 并调整电流增益值以达到所需电流值

例如:

当 Rrxt=1.3KΩ 且 Gain=100%时, Iout 约为 10mA

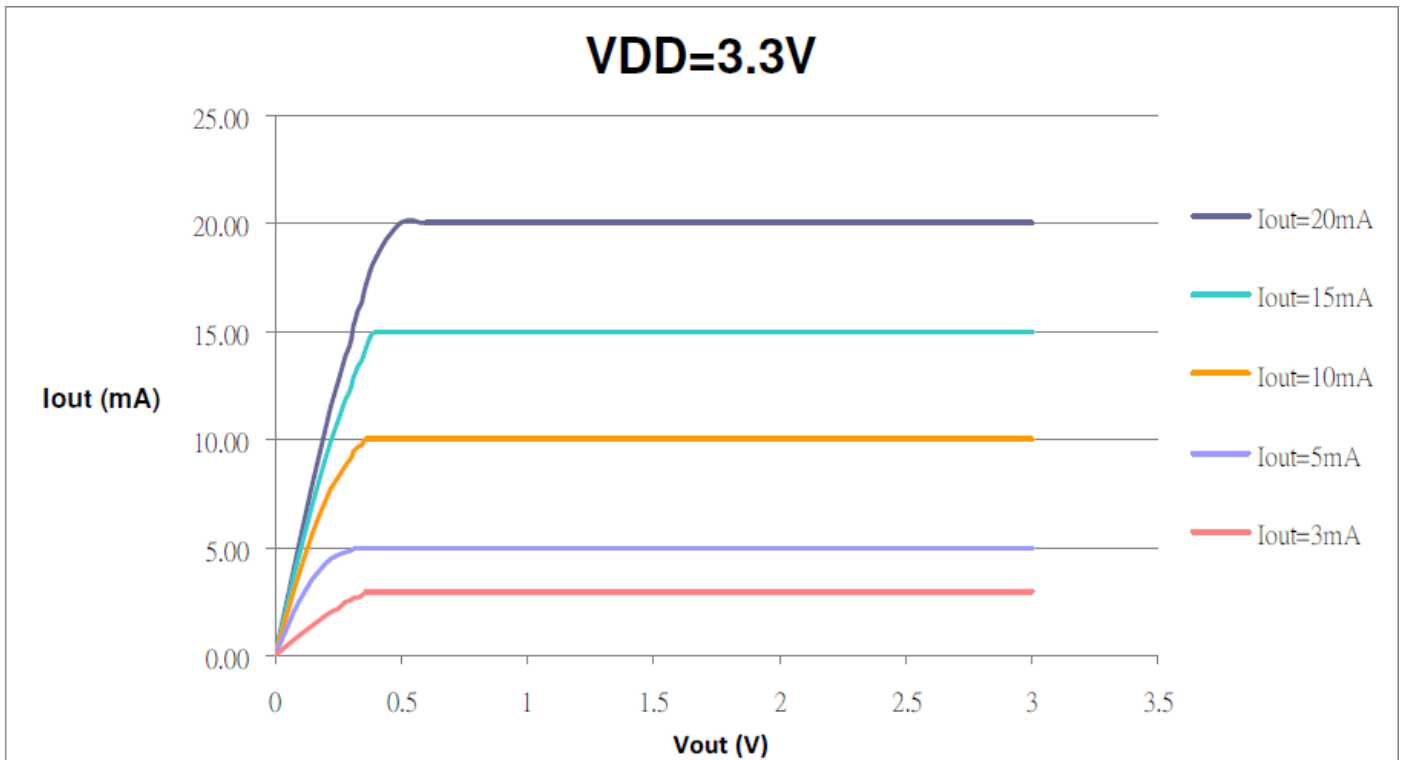
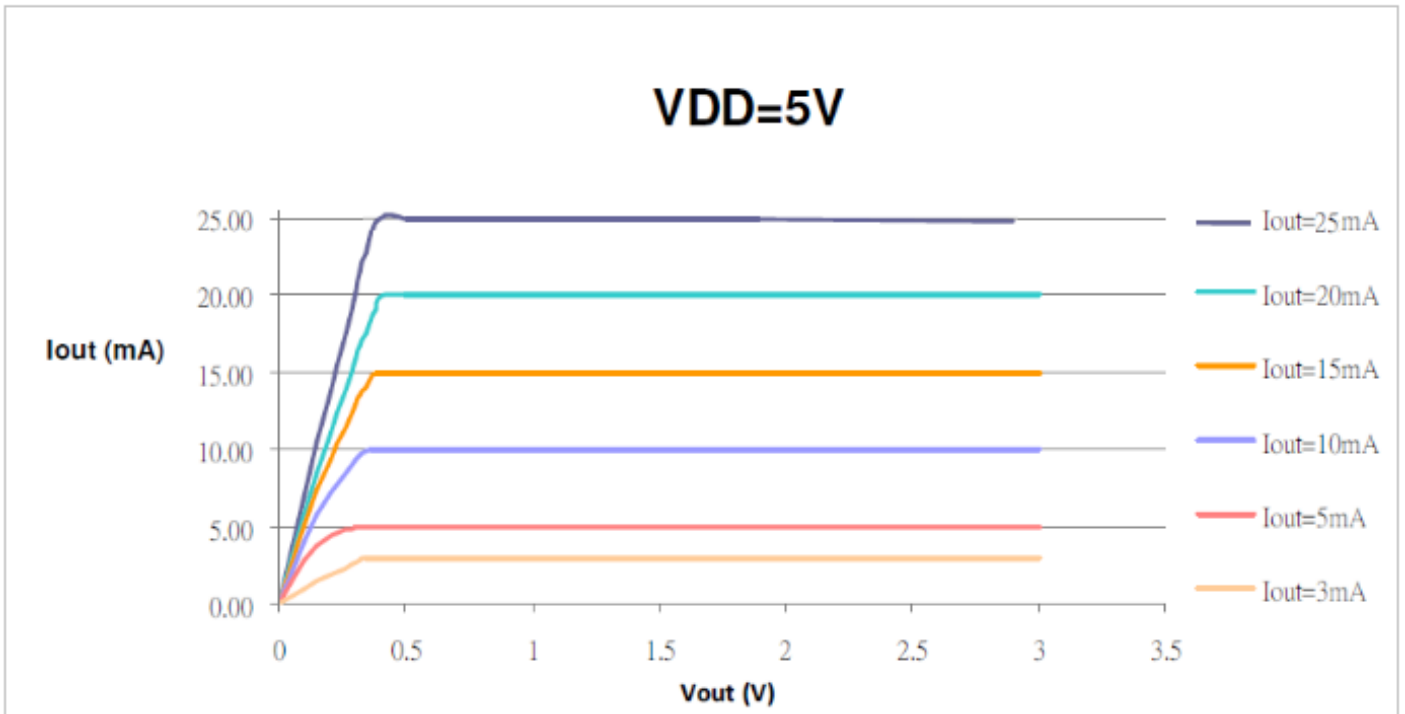
当 Rrxt=13KΩ 且 Gain=50%时, Iout 约为 0.5mA





恒流输出特性:

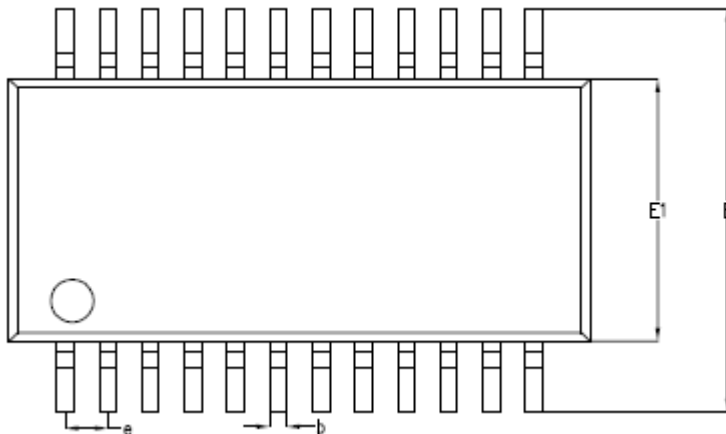
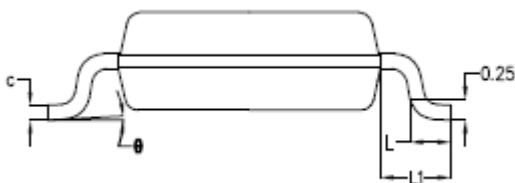
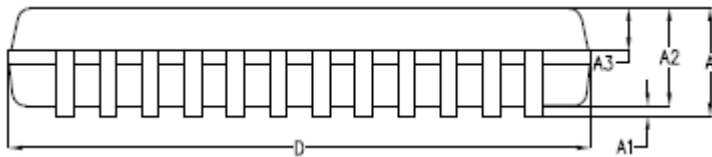
稳态输出电流几乎不会受到输出电压的影响而有所变动, 因此 FM6182 在不同的 LED 顺向电压下仍能够提供精准的恒流输出, 下图描述了如何设计适当的输出电压以达到最佳的恒流特性。





封装信息

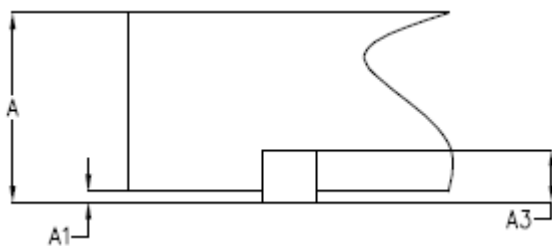
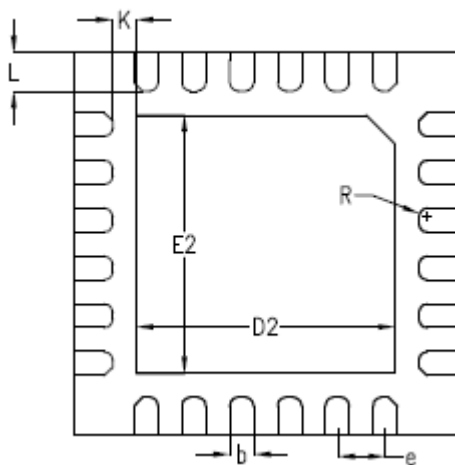
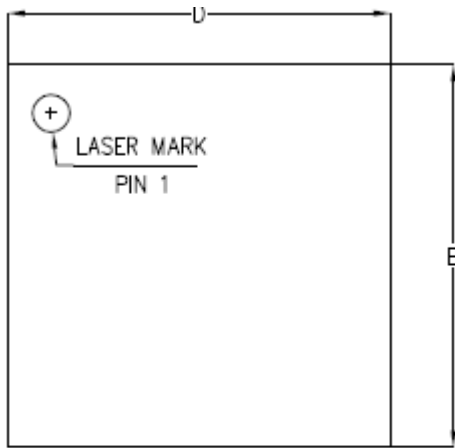
SSOP-24 (e=0.635)



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	-	1.60	1.65
A1	-	0.15	0.20
A2	1.40	1.45	1.50
A3	0.60	0.65	0.70
b	0.22	0.25	0.30
c	0.17	0.22	0.25
D	8.55	8.65	8.75
E	5.90	6.00	6.10
E1	3.80	3.90	4.00
e	0.635BSC		
L	0.57	0.60	0.65
L1	1.05BSC		
θ	0°	3°	6°



QFN24 (0.5mm)



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.83	0.85	0.87
A1	0	0.02	0.05
A2	-		
A3	0.20REF		
b	0.18	0.25	0.30
D	3.90	4.00	4.10
D2	2.65	2.70	2.75
E	3.90	4.00	4.10
E2	2.65	2.70	2.75
e	0.40	0.50	0.60
K	0.25REF		
L	0.35	0.40	0.45
L1	-	-	-
R	0.09	-	-