



## 1 特性

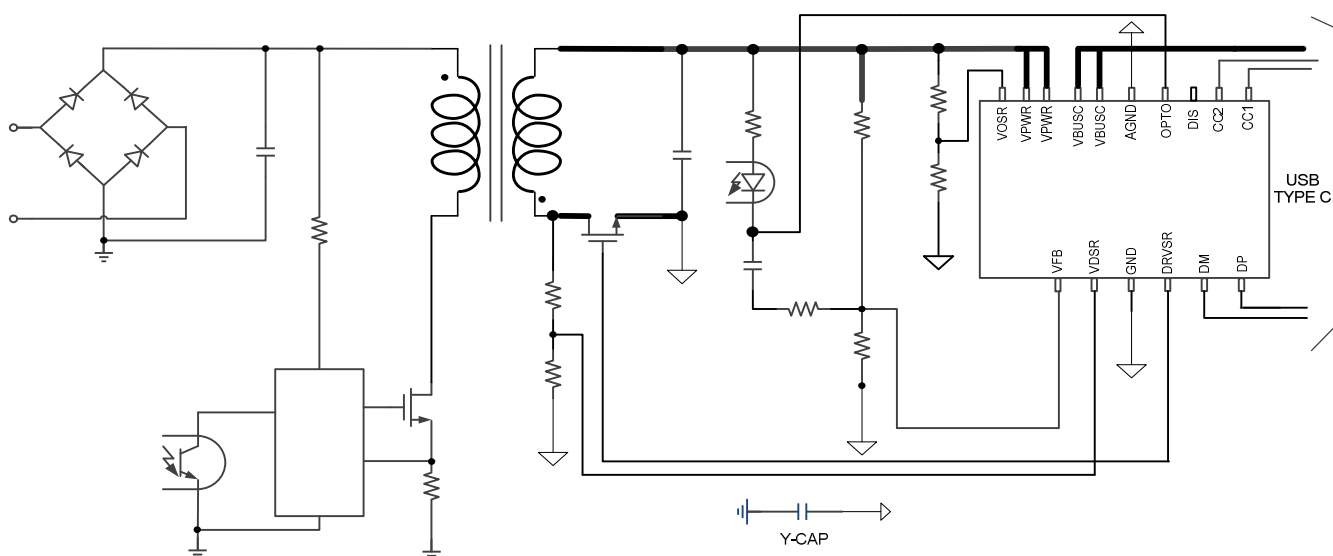
- 通过 USB PD3.0 认证 ( TID : 3740 )
- 支持 USB Type -C 协议
  - 配置为 DFP ( Source )
  - 广播 3A 电流
- 支持 USB Power Delivery ( PD ) 2.0 和 3.0 协议
  - 集成完整 PD 分层通信协议
  - PDO 可配置 : 5V , 9V , 12V
- 支持 Quick Charge 3.0/2.0 协议
- 支持华为 FCP 协议
- 支持三星 AFC 协议
- 支持 USB BC1.2 DCP
- 支持 Apple 2.4A 充电规范
- 集成恒压 ( CV ) 环路控制
- 集成VBUS通路15mΩ低阻抗功率开关管和10mΩ采样电阻

- 内置VBUSDischarge 功能
- 支持线损补偿功能
- 应用于 DCM/CCM/QR 的内置高性能同步整流 ( SR ) 控制器
- 安全性
  - 过压/欠压保护
  - 过流保护
  - 过温保护
- CC1/CC2/DP/DM 过压保护
- ESD 特性±3KV
- Package:TSSOP-16

## 2 应用

- AC-DC 适配器
- USB 充电设备

## 3 应用简图





## 4 概述

XPD820 是一款集成 USB Type-C、USB Power Delivery(PD)2.0/3.0 以及 QC3.0/2.0CLASS A 快充协议、华为 FCP 快充协议、三星 AFC 快充协议、BC1.2 DCP 以及苹果设备 2.4A 充电规范的多功能 USB 端口控制器，为 AC-DC 适配器、移动电源、车载充电器等设备提供完整的 Type-C 充电解决方案。

XPD820 内置的 TYPE-C 协议可以支持 TYPE-C 设备插入自动唤醒系统，智能识别插头的正插与反插，并实现连接。集成的 TYPE-C PD3.0 协议支持双向标记编码 (BMC)，集成硬件的物理层协议和协议引擎，无需软件参与编解码。

XPD820 内建多种保护机制确保设备安全：包括动态过压/欠压/过流保护（可根据设备请求的工作电压/电流按照比例调整保护点）；启动监测（VBUS 输出前会监测端口电压是否处于安全状态）。特别的，XPD820 内建保护机制可以确保在 DP/DM 或者 CC1/CC2 与 VBUS 发生短路情况下，输出电压不会误动作。

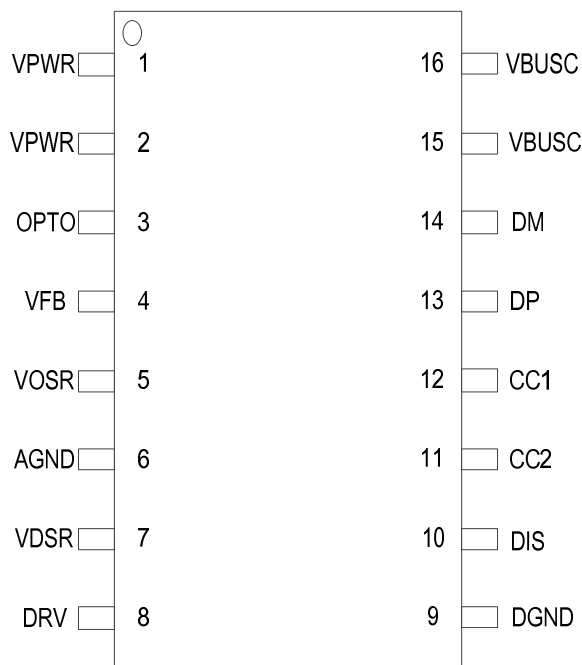
XPD820 集成 15mΩ VBUS 通路功率开关管和内部放电通路，节省了外围器件，在发生错误时可以快速关闭输出并恢复到安全状态。

传统的 SR 电流感测方法是测量整流 MOSFET 漏极电压，但对于不良 PCB 布局引入噪声很敏感。与之不同的是，XPD820 采用新颖的线性预测时序控制电路来估计 SR 电流过零瞬间，而无需外部电流感测电路。空载时 XPD820 的 SR 控制器进入绿色模式，关闭 SR MOSFET 以进一步降低系统总功耗。

XPD820 采用 TSSOP-16 封装。



## 5 引脚定义



TSSOP16

引脚序号	名称	描述
1/2	VPWR	输入电源
3	OPTO	光耦驱动
4	VFB	电压调节端口（接到系统电压反馈点）
5	VOSR	SR MOSFET 复位控制信号采样点
6	AGND	芯片信号地
7	VDSR	副边线圈电压采样点
8	DRV	SR MOSFET GATE 驱动输出
9	DGND	芯片地
10	DIS	外部放电 NMOS 管栅极控制
11	CC2	Type-C 检测引脚 CC2
12	CC1	Type-C 检测引脚 CC1
13	DP	Type-C DP 引脚
14	DM	Type-C DM 引脚
15/16	VBUSC	VBUS 输出



## 6 订购信息

料号	PDO 配置	印字	封装
XPD820A18	PDO : 5V/3A, 9V/2A	XPD820 XXXXX+XX	TSSOP16
XPD820A20	PDO : 5V/3A, 9V/2.25A		
XPD820B18	PDO : 5V/3A, 9V/2A, 12V/1.5A		
XPD820B20	PDO : 5V/3A, 9V/2.25A, 12V/1.5A		
XPD820B21	PDO : 5V/3A, 9V/2.25A, 12V/1.75A		

印字说明:

第一行, XPD820: 芯片型号;

第二行, XXXXX: Lot Number, XX: 保留信息。

## 选型参考

	QC3.0	FCP/SCP	AFC	PD3.0	PPS	CV	A+C	SR	SR MOS	XPD-LINK
XPD618	√	√	√	√						
XPD636	√	√	√	√			√			
XPD718	√	√	√	√	√	√				
XPD736	√	√	√	√	√	√	√			
XPD737	√	√	√	√	√					√
XPD767	√	√	√	√	√		√			√
XPD818	√	√	√	√		√		√	√	
XPD819	√	√	√	√		√		√	√	
<b>XPD820</b>	√	√	√	√		√		√		
XPD865	√	√	√	√		√		√		



## 7 规格参数

### 7.1 极限工作参数<sup>(1)</sup>

参数		最小值	最大值	单位
耐压 (对 GND)	VPWR,CC1,CC2, VBUSC,OPTO,	-0.3	26	V
	其他	-0.3	7	V
结温		-40	125	°C
存储温度		-65	150	°C

(1) 超出极限工作范围值可能会造成器件永久性损坏。长期工作在极限额定值下可能会影响器件的可靠性。

### 7.2 ESD 性能

符号	参数	值	单位
V <sub>ESD</sub>	HBM	±3000	V

ESD 测试基于人体放电模型 (HBM)。

### 7.3 推荐工作条件

参数		最小值	典型值	最大值	单位
VPWR	输入电压	3.6		21	V
C <sub>VBUS</sub>	VBUS 电容	2.2		10	μF
C <sub>VPWR</sub>	VPWR 电容	4.7	10		μF
R <sub>FB1</sub>	系统电压分压电阻		100		kΩ
T <sub>A</sub>	工作环境温度	-40		85	°C

### 7.4 热阻值

封装类型	符号	参数	值	单位
TSSOP16	R <sub>θJA</sub>	结温和周围温度之间的热阻	100	°C/W
	R <sub>θJctop</sub>	结温和封装外壳表面温度之间的热阻	36	
	R <sub>θJB</sub>	结温和板温度之间的热阻	45	



## 7.5 电气特性

如无特殊说明, 下述参数均在该条件下取得:  $T_j = 25^\circ\text{C}$ ,  $5\text{V} \leq \text{VPWR} \leq 12\text{V}$

参数	测试条件	最小	典型	最大	单位		
芯片供电相关 (VPWR, VBUS)							
$V_{\text{VPWR\_TH}}$	VPWR UVLO 门限	Rising edge		3.4	V		
		Falling edge		3.0			
		Hysteresis		0.4			
$I_{\text{SUPP}}$	典型工作电流	VPWR=5V, VBUS=5V		2	mA		
Voltage Protection (VBUS)							
$V_{\text{VBUS\_OVP}}$	VBUS OVP 门限, always enabled		+20%		$V_{\text{VBUS\_TARGET}}$		
$V_{\text{VBUS\_OVP\_HYS}}$	VBUS OVP 迟滞		+10%				
$t_{\text{VBUS\_OVP}}$	VBUS OVP 滤波时间		20		us		
Switch MOSFET							
$R_{\text{DS(on)}}$			15		m $\Omega$		
Transmitter (CC1, CC2)							
$R_{\text{TX}}$	Output resistance	During transmission		50	$\Omega$		
$V_{\text{TXHI}}$	Transmit HIGH		1.15		V		
$V_{\text{TXLO}}$	Transmit LOW		-75	75	mV		
$t_{\text{UI}}$	Bit unit interval		3.3		us		
$t_{\text{BMC}}$	Rise/fall time of BMC	$R_{\text{load}}=5.1\text{k}, C_{\text{load}}=1\text{nF}$		300	600	ns	
Receiver (CC1, CC2)							
$V_{\text{RXHI}}$	Receive HIGH		800	840	mV		
$V_{\text{RXLO}}$	Receive LOW		485	525		570	
$I_{\text{RP\_SRC}}$	CC1/CC2 Broadcasting current	3A DFP mode, $0 \leq V_{\text{CCX}} \leq 2.5\text{V}$		304	330	356	uA
OCP							
$I_{\text{TRIP}}$	Shunt voltage when OCP tripped	Ref to Power Capability(pd)			4.4	A	
OTP (internal)							
$T_{\text{J1}}$	Die temperature	Temperature rising edge		135	145	155	$^\circ\text{C}$
		Hysteresis			20		$^\circ\text{C}$
HVDCP interface (DP, DM)							
$V_{\text{DAT(REF)}}$	数据线检测电压		0.25	0.325	0.4	V	
$V_{\text{SEL(REF)}}$	输出电压选择		1.8	2	2.2	V	
$T_{\text{GLITCH(DP)HIGH}}$	D+ 高电平扰动滤波时间		1	1.25	1.5	s	
$T_{\text{GLITCH(DM)LOW}}$	D- 低电平扰动滤波时间			1		ms	
$T_{\text{GLITCH(V)CHANGE}}$	输出电压扰动滤波时间		20	40	60	ms	

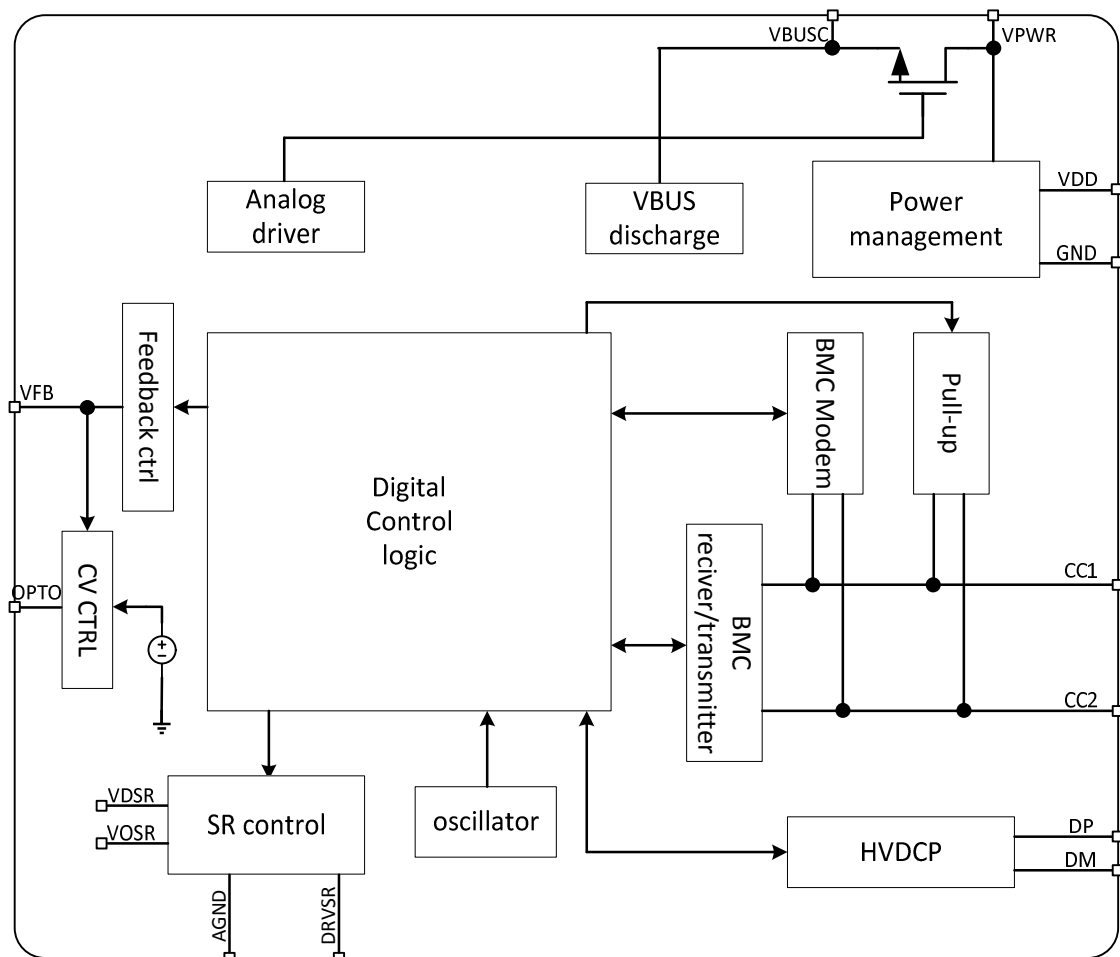


$T_{GLITCH(CONT)CHANGE}$	连续模式的扰动滤波时间		100	150	200	us
$R_{DAT(LKG)}$	D+漏泄电阻		300	500	800	K $\Omega$
$R_{DM(DWN)}$	D-下拉电阻		14.25	19.53	24.5	K $\Omega$
$R_{ON(N1)}$	开关 N1 导通电阻			40	100	$\Omega$
$V_{TH(PD)}$	受电设备连接检测电压阈值		0.25	0.325	0.4	V
$T_{DPD}$	受电设备连接检测滤波时间		120	160	200	ms
$\Delta I_{T(UP)}$	电压升高时电流源阶跃步长	$R_{IREF}=100K\Omega$		0.2		uA
$\Delta I_{T(DO)}$	电压降低时电流源阶跃步长	$R_{IREF}=100K\Omega$		0.2		uA
Apple 2.4A 充电模式						
$V_{DAT(2.7V)}$	D+/D-数据线电压		2.57	2.7	2.84	V
$R_{DAT(2.7V)}$	D+/D-数据线输出阻抗			33.6		K $\Omega$
FCP 充电模式						
$V_{TX-VOH}$	D- FCP TX Valid High			2.7		V
$V_{TX-VOL}$	D- FCP TX Valid Low				0.3	V
$V_{RX-VIH}$	D- FCP RX Valid High			1.2		V
$V_{RX-VIL}$	D- FCP RX Valid High			0.9		V
Trise	FCP Pulse Rise Time	10% - 90%			2.5	us
Tfall	FCP Pulse Fall Time	90% - 10%			2.5	us



## 8 应用信息

### 8.1 功能模块图



Copyright©2020, 云矽半导体

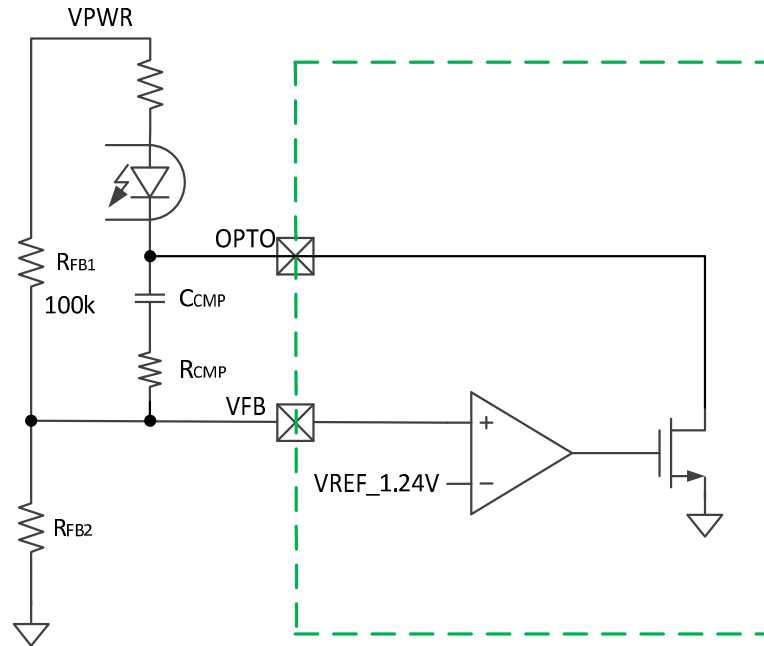
### 8.2 VPWR 和 VBUS

VPWR 是 USB Type-C 口 VBUS 的输入电源，也是芯片的供电电源。VPWR 连接前级 AC-DC 或者 DC-DC 的电源输出端。建议靠近 VPWR 接对地电容  $C_{VPWR}$ ，推荐  $C_{VPWR}$  典型值为  $10\mu\text{F}$ 。根据 USB 组织要求，Type-C 口 VBUS 需要接对地电容  $C_{VBUS}$ ， $C_{VBUS}$  值不能大于  $10\mu\text{F}$ 。

### 8.3 恒压环路与 OPTO、VFB

XPD820 内部集成恒压运算放大器，通过 OPTO 和 VFB 形成恒压环路（CV），如下图所示。OPTO 端口直接驱动光耦，可以省掉传统的 TL431。OPTO 可以耐压至 24V。





恒压环路 (CV) 需要在外部进行补偿, 补偿电阻  $R_{CMP}$  和补偿电容  $C_{CMP}$  由具体应用决定。VFB 内部的基准电压为 1.24V。VPWR 上的反馈电阻网络的分压电阻  $R_{FB1}$  必须接 100k $\Omega$ 。

如果初始输出电压设定为 5V, 则另一个分压电阻  $R_{FB2}$  为 33k。可通过下面公式计算得到:

$$R_{FB2} = \frac{1.24 * R_{FB1}}{V_{PWR} - 1.24}$$

通过调整  $R_{FB2}$  的值可以改变初始输出电压。

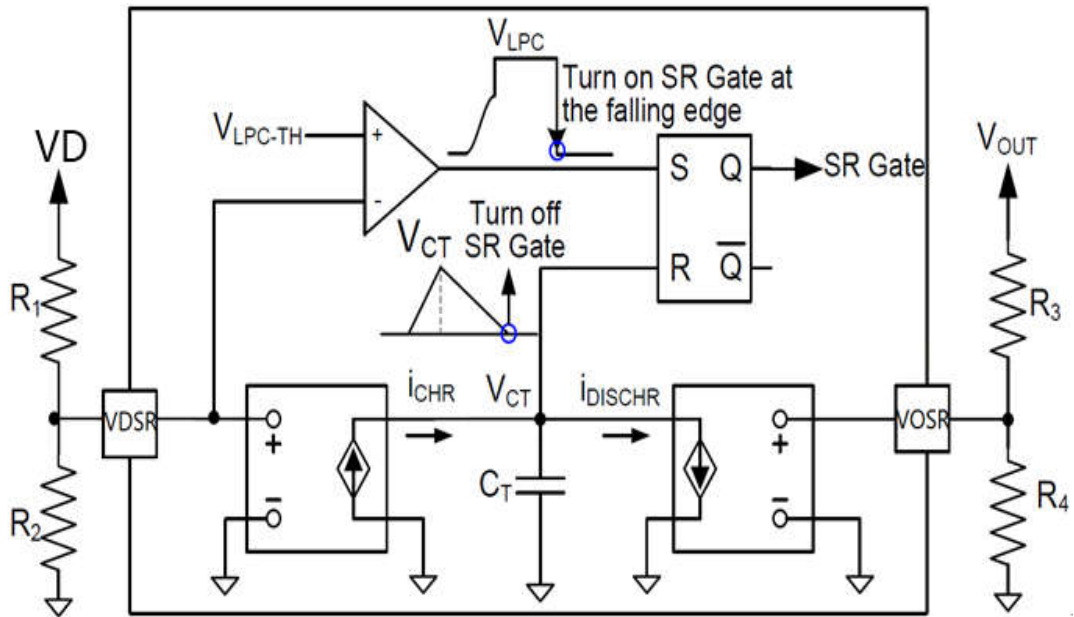
反馈电阻网络的分压电阻  $R_{FB1}$  和  $R_{FB2}$  的精度影响 VBUS 电源精度, 推荐使用 1%精度电阻。

## 8.4 线损补偿

XPD820 具有线损补偿功能, 可以根据输出电流按比例 (即补偿系数) 增加输出电压。补偿系数可以内部配置。例如补偿系数配置为 90mV/A, 前端电源空载时输出电压为 5V, 当输出电流为 3A 时, 前端电源的输出电压会增加至 5.27V。

## 8.5 同步整流

XPD820 内置的次级端同步整流控制器采用新颖的线性预测时序控制 (LPC) 电路来计算 SR 电流的过零时刻; 其基本概念在于系统电源处于稳态时, 完成一个开关循环之后, 变压器的磁化电流必定返回初始条件, 故可以通过模拟电感磁化电流的运行来估计该瞬间, 从而间接提供整流 MOSFET 的关断信号。



然而，当 AC 电压或者负载条件发生变化时将迫使电源系统暂时偏离稳态，此时，完成一个开关循环之后，变压器的磁化电流将不会返回初始条件，所以上述 LPC 预测机制将导致严重的安全问题。为此，引入因果预测控制（CPC）电路以确保初级端开关启动下一次开关动作前必定会关断 SR MOSFET，以便两个开关不会同时导通。

## 8.6 安全特性

### 1) 耐压

为了避免 CC1/CC2 引脚和电源短路对芯片造成损坏，这几个端口耐压可达到 24V 以上。

### 2) OVP/UVP

芯片 OVP/UVP 阈值会根据设备选择的电压进行调整，最大限度保护设备安全。

### 3) OTP

芯片结温到达 145°C 后会关闭输出，降到 125°C 后解除。

### 4) Discharge

XPD820 内置能量泄放通路，在特定情况下打开泄放电源能量。



## 9 PCB Layout 注意事项

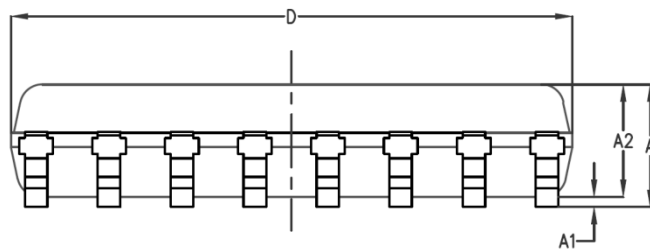
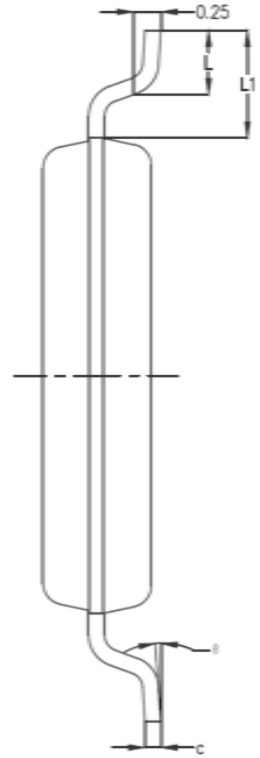
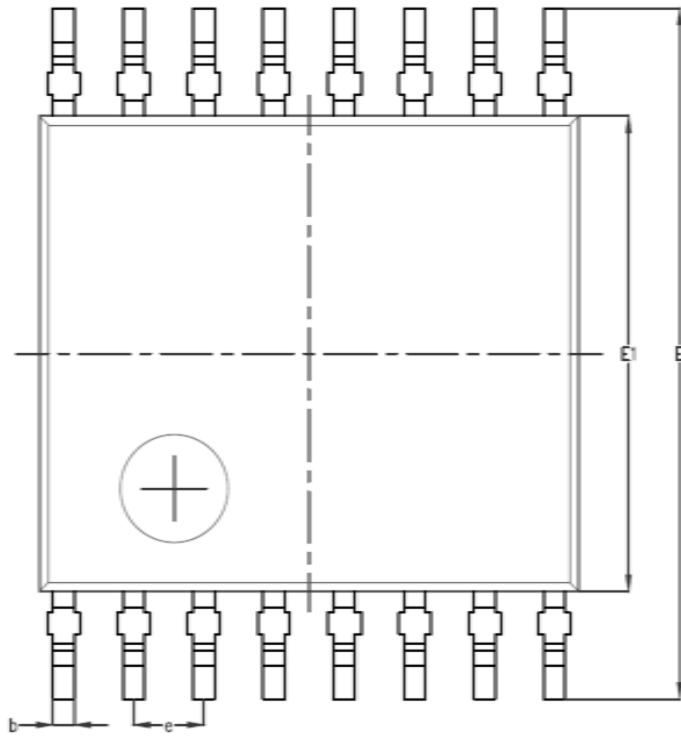
1. VDSR 和 VOSR 管脚上的走线应远离磁性元件；并且，VDSR 和 VOSR 管脚的分压参考地应与芯片的 AGND 直接连接；
2. 输入电容  $C_{VPWR}$  以及输出电容  $C_{VBUS}$  尽量靠近芯片，且地直接与芯片的 GND 连接，再回到功率地；
3. PCB 布局时尽量避免与主发热器件摆放在一起；
4. 尽量避免 VFB 连线受到干扰；
5. 次级端的电源环路应尽量短，走线尽量宽；VD 管脚到变压器副边绕组的路径必须短而宽，且远离敏感路径；VS 管脚到输出地的路径必须短而宽；
6. Y 电容直接连接初级地和次级地。

注意：方案设计可参考应用手册。



10封装信息

TSSOP16



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	-	1.09	1.19
A1	0.02	-	0.15
A2	0.95	1.00	1.05
b	0.14	0.22	0.30
c	0.08	0.13	0.18
D	4.90	5.00	5.10
E	6.20	6.40	6.60
E1	4.30	4.40	4.50
e	0.65BSC		
L	0.50	0.60	0.70
L1	1.05BSC		
$\theta$	0°	4°	8°